

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EP0. All rts. reserv.

11158262

Basic Patent (No,Kind,Date): JP 5102483 A2 930423 <No. of Patents: 002>

FILM TRANSISTOR AND ITS MANUFACTURING METHOD (English)

Patent Assignee: SHARP KK

Author (Inventor): UEDA TORU

IPC: *H01L-029/784; G02F-001/136; H01L-027/12

Derwent WPI Acc No: C 93-170804

JAPIO Reference No: 170453E000112

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 5102483	A2	930423	JP 91262263	A	911009	(BASIC)
JP 2731056	B2	980325	JP 91262263	A	911009	

Priority Data (No,Kind,Date):

JP 91262263 A 911009

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-102483

(43)公開日 平成5年(1993)4月23日

(51)IntCl ¹	識別記号	庁内整理番号	FI	技術表示箇所
H01L 29/784				
G02F 1/136	500	9018-2K		
H01L 27/12	A	8728-4M		
		9056-4M		
			H01L 29/78	311 H

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号 特願平3-262263

(22)出願日 平成3年(1991)10月9日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 上田 徹

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

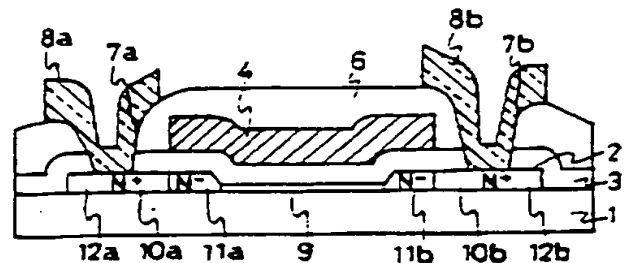
(74)代理人 弁理士 山本 秀東

(54)【発明の名称】 薄膜トランジスタ及びその製造方法

(57)【要約】 (修正有)

【目的】 薄膜トランジスタにおいて不純物が注入される部分の濃度制御性が損なわれず、しかもオン電流を低下させることなくオフ電流を低減してオン・オフ電流比を高くする。

【構成】 半導体層2のチャネル領域9部分に酸化を行って、ソース領域10a及びドレイン領域10bをチャネル領域より厚肉にする。その結果不純物が注入されるソース領域10a及びドレイン領域10bの濃度制御性が損なわれることはない。また半導体層2を予め厚く形成しておけば結晶性は良好となる。またチャネル領域9を酸化により薄肉化するため、半導体層2全体の結晶性は損なわれずオン電流は増大する。ソース領域10a及びドレイン領域10bは厚肉のまま残されるので、それら領域の抵抗は十分に低くなる結果オン電流は低下し難い。チャネル領域9が薄肉化されるのでオフ電流は低減され、さらに半導体層2がLDD構造により一層低減され、オン・オフ電流比を高くできる。



【特許請求の範囲】

【請求項 1】 絶縁性基板上に半導体層、ゲート絶縁膜及びゲート電極がこの順に、又は逆の順に積層形成され、該半導体層の 3 つに区分された帯状領域の中央部がチャネル領域となっており、両側の一方がソース領域、他方がドレイン領域となった薄膜トランジスタにおいて、

該半導体層のソース領域及びドレイン領域の厚さがチャネル領域の厚さよりも厚く、かつ、ソース領域及びドレイン領域のそれぞれがチャネル領域側を低濃度不純物領域とし、反対側を高濃度不純物領域とした 2 つの領域を有する薄膜トランジスタ、

【請求項 2】 絶縁性基板上に半導体層、ゲート絶縁膜及びゲート電極がこの順に、又は逆の順に積層形成され、該半導体層の 3 つに区分された帯状領域の中央部がチャネル領域となっており、両側の一方がソース領域、他方がドレイン領域となった薄膜トランジスタの製造方法において、

半導体層を形成する工程と、
形成された半導体層のチャネル領域のみを選択酸化する工程と、

該チャネル領域に形成された酸化膜をマスクとして不純物を低濃度で注入し、チャネル領域の両側の半導体層部分の一方にソース領域を、他方にドレイン領域を形成する工程と、

該ソース領域及び該ドレイン領域それぞれのチャネル領域側を低濃度不純物領域として残した状態で、該低濃度不純物領域の外側に不純物を高濃度で注入して高濃度不純物領域を形成する工程と、

を含む薄膜トランジスタの製造方法、

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置のスイッチング素子、或はスタティック RAM (SRAM) のメモリセル内の負荷素子等に用いられる薄膜トランジスタ（以下では、TFT と称す）及びその製造方法に関する。

【0002】

【従来の技術】上記 TFT として、図 5 又は図 6 に示すものが知られている。図 5 に示す TFT は、絶縁性基板 31 の上にポリシリコンからなる半導体層 32 が形成されている。この半導体層 32 は、3 つの帯状領域に区分され、両端部が N⁺ のソース・ドレイン領域 40a、40b となっており、その間がチャネル領域 39 となっている。上記半導体層 32 が形成された基板 31 の上には、2 箇所 に設けたコンタクトホール 37a、37b を除く全面にわたってゲート絶縁膜 33 が形成され、このゲート絶縁膜 33 の上であって、前記チャネル領域 39 の上方部分にはゲート電極 34 が形成されている。

【0003】この状態の基板 31 の上には、前記コンタ

クトホール 37a、37b を除いて層間絶縁膜 36 が形成されている。コンタクトホール 37a、37b は、層間絶縁膜 36 及び上記ゲート絶縁膜 33 を貫通している。層間絶縁膜 36 の上には、コンタクトホール 37a、37b に一部充填して電極 38a、38b が或る範囲に形成されている。

【0004】一方、図 6 に示す TFT は、半導体層 32 を除いて図 5 のものと同様に形成されており、異なっている半導体層 32 の部分に次のようになっている。即ち、半導体層 32 のゲート電極 34 と対向する中央部に形成されたチャネル領域 39 と左端部にある N⁺ のソース領域 40a との間に、ソース領域 40a よりも不純物濃度が低い N⁺ の低濃度ソース領域 41a が形成され、チャネル領域 39 と右端部にある N⁺ のドレイン領域 40b との間に、ドレイン領域 40b よりも不純物濃度が低い N⁺ の低濃度ドレイン領域 41b が形成された、いわゆる LDD 構造となっている。

【0005】ところで、TFT は、リーク電流（オフ電流）が小さく、オン電流が大きいという特性、即ちオン・オフ電流比が高いことが要求される。

【0006】その理由は、液晶表示装置に用いた場合には、短時間に給電電極へ電荷を充電する必要がある為に大きなオン電流が、また充電された電荷を 1 フレームの間保持する必要がある為に低いオフ電流が要求されるからである。また、SRAM に用いた場合には、消費電流を低減する為に低オフ電流が、また耐ノイズ性や耐放射線性を良くしてメモリセルを安定化させる為に大きなオン電流が要求されるからである。

【0007】上述したオン・オフ電流比を高くする手法としては、従来、以下のように行われていた。例えば、ポリシリコン TFT の場合、オン電流の増大については、結晶粒径を拡大する等して結晶性を改善することにより行っている。一方のオフ電流の低減については、図 5 の半導体層 32 を薄膜化してチャネル領域 39 を薄くすることにより、或は図 6 のように半導体層 32 を LDD 構造とすることにより行っている。

【0008】

【発明が解決しようとする課題】しかしながら、上述した半導体層の薄膜化や LDD 構造化による場合には、オン電流の低下が招来されて、高いオン・オフ比を得ることが出来ないという問題があった。

【0009】即ち、前者の半導体層の薄膜化による場合には、半導体層が薄くなることにより結晶粒径の拡大を余り期待できず、結晶性を改善できにくくオン電流の増大化を余り図れないでいた。加えて、ソース・ドレイン領域も薄くなることにより、ソース・ドレイン領域の抵抗が増加し、TFT がオン状態の時、ソース・ドレイン領域の抵抗で電流が制限され、オン電流が低くなっていた。

【0010】一方、後者の LDD 構造化による場合には、

オフ電流を低くするためには、前記N⁺の低濃度ソース領域41a及び低濃度ドレイン領域41bの不純物濃度を低減すること、或は両領域41a及び41bの長さ(LN)を長くすることが必要となるが、いずれの場合もオフ電流を低くできるもののオン電流も低下し、十分に高いオン・オフ電流比を得ることが困難であった。

【0011】また、LDD構造化に加えて半導体層を薄層化する場合には、TFT特性を左右する低濃度ソース領域41a及び低濃度ドレイン領域41bの濃度制御性が損なわれるという別の問題もあった。その理由は、イオン注入による拡散においては、注入すべき半導体層の厚さに比べ、イオン注入の飛程(Rp)のバラツキの方が大きくなってしまい、濃度制御性が損なわれるからである。

【0012】本発明は、このような従来技術の課題を解決すべくなされたものであり、濃度制御性が損なわれることがなく、またオン電流を低下させることなくオフ電流を低減することによりオン・オフ電流比を高めることができる薄膜トランジスタ及びその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の薄膜トランジスタは、絶縁性基板に半導体層、ゲート絶縁膜及びゲート電極がこの順に、又は逆の順に積層形成され、該半導体層の3つに区分された帯状領域の中央部がチャネル領域となっており、両側の一方がソース領域、他方がドレイン領域となった薄膜トランジスタにおいて、該半導体層のソース領域及びドレイン領域の厚さがチャネル領域の厚さよりも厚く、かつ、ソース領域及びドレイン領域のそれぞれがチャネル領域側を低濃度下純物領域とし、反対側を高濃度下純物領域とした2つの領域を有しており、そのことにより上記目的が達成される。

【0014】また、本発明の薄膜トランジスタの製造方法は、絶縁性基板に半導体層、ゲート絶縁膜及びゲート電極がこの順に、又は逆の順に積層形成され、該半導体層の3つに区分された帯状領域の中央部がチャネル領域となっており、両側の一方がソース領域、他方がドレイン領域となった薄膜トランジスタの製造方法において、半導体層を形成する工程と、形成された半導体層のチャネル領域のみを選択酸化する工程と、該チャネル領域に形成された酸化膜をマスクとして不純物を低濃度で注入し、チャネル領域の両側の半導体層部分の一方にソース領域を、他方にドレイン領域を形成する工程と、該ソース領域及び該ドレイン領域それぞれのチャネル領域側を低濃度下純物領域として残した状態で、該低濃度下純物領域の外側に不純物を高濃度で注入して高濃度下純物領域を形成する工程と、を含んでおり、そのことにより上記目的が達成される。

【0015】

【作用】本発明にあつては、半導体層のチャネル領域相

当部分に酸化を施して、半導体層のソース領域及びドレイン領域をチャネル領域よりも厚肉となす。よつて、不純物注入が行われるソース領域及びドレイン領域が厚いので、濃度制御性が損なわれることがない。また、予め半導体層を厚く形成しておく、半導体層は良好な結晶状態となる。また、チャネル領域の薄肉化を酸化により行うので、半導体層全体の結晶性が損なわれない。これによりオン電流が大きくなる。更に、ソース領域及びドレイン領域は厚肉のまま残されるので、ソース領域及びドレイン領域の抵抗は十分に低い状態となる。これにより、オン電流が低くなり難い。

【0016】一方、チャネル領域が薄肉となっているので、オフ電流は低減される。更に、オフ電流は、半導体層がLDD構造とされることで、より低減される。このため、オン・オフ電流比を高くすることができる。

【0017】

【実施例】以下、本発明の実施例について説明する。

【0018】〔実施例1〕図1には実施例の薄膜トランジスタを示す。この薄膜トランジスタは、絶縁性基板1の上にポリシリコンからなる半導体層2が形成されている。この半導体層2は3つに区分された帯状領域を有し、両端部の一方が厚肉のソース領域10a、他方が厚肉のドレイン電極10bとなっており、その間が薄肉のチャネル領域9となっている。更に、ソース領域10aとドレイン電極10bとは、それぞれ2つの帯状領域に分かれていて、チャネル領域9側に低濃度下純物領域11a、11bが、逆の外側に高濃度下純物領域12a、12bが形成されている。

【0019】上記半導体層2が形成された基板1の上には、2箇所を設けたコンタクトホール7a、7bを除く全面にわたりゲート絶縁膜3が形成され、このゲート絶縁膜3の上であつて、前記チャネル領域9の上方部分にはゲート電極4が、チャネル領域9よりも広い範囲にわたり形成されている。

【0020】この状態の基板1の上には、前記コンタクトホール7a、7bを除いて層間絶縁膜6が形成されている。コンタクトホール7a、7bは、層間絶縁膜6及び上記ゲート絶縁膜3を貫通している。層間絶縁膜6の上には、コンタクトホール7a、7bの一部を埋して電極8a、8bが設けられた範囲に形成されている。

【0021】次に、この構造の薄膜トランジスタの製造方法を図2に基づいて説明する。先ず、図2(a)に示すように、絶縁性基板1上にポリシリコンからなる半導体層2を形成する。絶縁性基板1としては、例えば石英やSiO₂、Si₃N₄等の絶縁膜で覆われたSi基板を用いた。この上の半導体層2は、例えば原料ガスとしてのSiH₄(ジシラン)にN₂を加えたものを用い、かつ、減圧CVD法を使用し、470°Cの温度、50Paの圧力で1000オングストロム・コームの結晶質シリコンを堆積した後、熱処理して多結晶化させ形成する。熱処

理は、例えば温度を600°C、雰囲気をN₂とした熱処理炉の中で24時間アニールすることにより行った。続いて、多結晶化した半導体層2を、一般的な手法を用いて、島状に加工作る。なお、非晶質シリコンの形成には、プラズマCVD法やスパッタリング法を使用しても良い。また、多結晶化はレーザアニール法を用いても良い。ところで、半導体層2は、その結晶性が非晶質シリコンの膜厚が厚い程良好であるので、厚く形成する。

【0022】次に、図2(b)に示すように半導体層2が形成された基板1上に、シリコン酸化膜(SiO₂)21及びシリコン窒化膜(Si₃N₄)22をこの順に形成する。シリコン酸化膜21及びシリコン窒化膜22は各々、例えば減圧CVD法で2100オングストローム、4000オングストローム堆積した。

【0023】次いで、上側のシリコン窒化膜22のみに対し前記チャンネル領域9を形成すべき部分をエッチングして除き、その後950°CのドライO₂(酸素)を使用して酸化を行い、図2(c)に示すように、シリコン窒化膜22で覆われていない半導体層2部分を厚肉にしてチャンネル領域9を形成すると共に、そのチャンネル領域9の上方に厚肉のポリシリコン酸化膜23を形成する。これにより形成されたポリシリコン酸化膜23は、厚みが1600オングストローム、残ったシリコン酸化膜21は厚みが200オングストロームである。この酸化のとき、シリコン窒化膜22は酸化を抑制するので、半導体層2のシリコン窒化膜22で覆われていない部分のみ酸化されていき、厚肉のチャンネル領域9を形成できる。

【0024】次いで、図2(d)に示すようにシリコン窒化膜22のみを、例えば熱リン酸により除きしたあと、チャンネル領域9の上に形成した上記ポリシリコン酸化膜23をマスクとして、例えばリン(P⁺)を半導体層2にイオン注入する。イオン注入条件としては、例えば電圧を40keVとし、イオンの注入密度を2×10¹³cm⁻²とした。半導体層2のイオン注入された部分がソース領域10aとドレイン領域10bとなる。

【0025】次いで、図2(e)に示すように、ポリシリコン酸化膜23を有するシリコン酸化膜21をエッチング等にて除きした後、基板1の上に、例えばSiO₂からなるゲート絶縁膜3を、CVD法により1000オングストロームの厚みに形成し、そのゲート絶縁膜3の上であって、チャンネル領域9が形成された上方部分に、前記ソース領域10aとドレイン領域10bそれぞれの一部の上方を覆って、リン(P)をドーパしたポリシリコンからなるゲート電極4を、例えば4500オングストローム程度形成する。続いて、このゲート電極4をマスクとして、前記半導体層2にリン(P⁺)をイオン注入する。イオン注入条件としては、例えば電圧を100keVとし、イオンの注入密度を1×10¹³cm⁻²とし

た。この注入により、ソース領域10aとドレイン領域10bそれぞれの外側部分に高濃度下植物領域12a、12bが形成され、前記ゲート電極4で覆われた部分が低濃度下植物領域11a、11bとして残る。更に、高低濃度下植物領域11a、11bで決まった部分が、チャンネル領域9として残る。このとき、ゲート電極4の下方には、高低濃度下植物領域11a、11bと、チャンネル領域9とが存在する。

【0026】次いで、図1に示すように、基板1上に層間絶縁膜6を、例えばCVD法により6000オングストロームの厚みに形成した後、不純物活性化のための熱処理を施した。熱処理条件としては、例えば温度を950°Cとした窒素雰囲気中で30分間加熱することにより行った。その後、層間絶縁膜6及びゲート絶縁膜3を貫通し、ソース領域10a及びドレイン領域10bに通ずるように、2箇所コンタクトホール7a、7bを開孔した後、A⁺等からなる導電材料をコンタクトホール7a、7bに一部充填して電極8a、8bを形成した。

【0027】したがって、このように構成された薄膜トランジスタにおいては、半導体層2のチャンネル領域9相当部分に酸化が施されて、半導体層2のソース領域10a及びドレイン領域10bがチャンネル領域9よりも厚肉となっている。よって、不純物注入が行われるソース領域10a及びドレイン領域10bが厚いので、濃度制御性が損なわれることがない。また、半導体層2を厚く形成しておくこと、半導体層2は良好な結晶状態となる。また、チャンネル領域9の厚肉化を酸化により行うので、半導体層2全体の結晶性が損なわれない。これによりオン電流が大きくなる。更に、ソース領域10a及びドレイン領域10bは厚肉のまま残されるので、ソース領域10a及びドレイン領域10bの抵抗は十分に低い状態となる。これにより、オン電流が低くなり確い。

【0028】一方、チャンネル領域9が厚肉となっているので、オフ電流は低減される。更に、オフ電流は、半導体層2がLDD構造とされることで、より低減される。このため、オン・オフ電流比を高くすることができる。

【0029】(実施例2)図3に本発明の他の実施例を示す。本実施例は、実施例1の場合とは逆に、ゲート電極4上にゲート絶縁膜3を介して半導体層2が設けられた構造としてある。かかる構造の薄膜トランジスタの製造方法を、図4に基づいて説明する。

【0030】先ず、図4(a)に示すように絶縁性基板1上の所定範囲に、リンがドーパされたポリシリコンからなるゲート電極4を形成し、ゲート電極4が形成された基板1上の全面にゲート絶縁膜3を形成する。ゲート電極4の形成は、例えばリンをドーパしたポリシリコンを4500オングストローム堆積して行い、ゲート絶縁膜3の形成は、例えばCVD法によりSiO₂を1000オングストローム堆積して行った。

【0031】次いで、図4(b)に示すように基板1の

上にポリシリコンからなる半導体層2を形成する。この半導体層2は、実施例1と同様にして形成する。即ち、原料ガスとしての SiH_4 （ジシラン）に N_2 を加えたものを用い、かつ、減圧CVD法を使用し、 470°C の温度、 50Pa の圧力で 1000 オングストロームの非晶質シリコンを堆積した後、熱処理して多結晶化させ形成する。熱処理条件としては、例えば温度を 600°C 、雰囲気 N_2 とした熱処理炉の中で 24 時間アニールすることにより行った。続いて、多結晶化した半導体層2を、一般的な手法を用いて、島状に加工作る。なお、非晶質シリコンの形成には、プラズマCVD法やスパッタリング法を使用しても良い。また、多結晶化はレーザアニール法を用いても良い。

【0032】次いで、図4に示すように、半導体層2のチャネル領域9相当部分を薄肉化する。この薄肉化は、実施例1と同様に行う。即ち、半導体層2が形成された基板1上に、シリコン酸化膜（ SiO_2 ）21及び図示しないシリコン窒化膜（ Si_3N_4 ）をこの順に形成し、上側のシリコン窒化膜のみに対してチャネル領域9を形成すべき部分をエッチングして除き、その後 950°C のドライ O_2 （酸素）を使用して酸化を行い、シリコン窒化膜で覆われていない半導体層2部分を薄肉にしてチャネル領域9を形成する。このとき、チャネル領域9の上方には、厚肉のポリシリコン酸化膜23が形成される。

【0033】次いで、上側のシリコン窒化膜のみを熱リン酸を用いて除きした後、上記ポリシリコン酸化膜23をマスクとして、半導体層2にリン（P）をイオン注入し、ソース領域10aとドレイン領域10bを形成する。残った部分が前記チャネル領域9となる。イオン注入条件としては、例えば電圧を 40keV とし、イオンの注入密度を $2 \times 10^{15}\text{cm}^{-2}$ とした。

【0034】次いで、図4（c）に示すように、ポリシリコン酸化膜23を有するシリコン酸化膜21の上に、レジスト24をパターン形成し、このレジスト24をマスクとしてリン（P）をソース領域10aとドレイン領域10bにイオン注入する。イオン注入条件としては、例えば電圧を 40keV とし、イオンの注入密度を $1 \times 10^{15}\text{cm}^{-2}$ とした。これにより、ソース領域10aとドレイン領域10bの外側部分に高濃度不純物領域12a、12bが形成される。ソース領域10a及びドレイン領域10bのレジスト24にて覆われた部分には、低濃度不純物領域11a、11bが現る。更に、両低濃度不純物領域11a、11bで挟まれた部分にはチャネル領域9が現る。このとき、ゲート電極4の上方に、両低濃度不純物領域11a、11bと、チャネル領域9とが存在するようになると共に、レジスト24を形成する。

【0035】次いで、図3に示すように、レジスト24

を除きした後、基板1上に層間絶縁膜6を形成し、その後不純物活性化のための熱処理を施した。熱処理条件としては、例えば温度を 950°C とした窒素雰囲気中で 30 分間行った。その後、層間絶縁膜6を貫通し、ソース領域10a及びドレイン領域10bに通ずるように、2箇所にはコンタクトホール7a、7bを開孔した後、Al等からなる導電材料をコンタクトホール7a、7bに一部充填して電極8a、8bを形成した。

【0036】したがって、この薄膜トランジスタにおいても、前同様に、濃度制御性を損なうことがなく、またオン・オフ電流比を高くすることができる。

【0037】

【発明の効果】以上詳述したように本発明によれば、オン・オフ電流比を高くすることが可能となり、液晶表示装置に組み込まれた場合には給電電極へ電荷を短時間で充電でき、また充電された電荷を1フレームの間十分に保持することができる。更に、SRAMに組み込まれた場合には、消費電流を低減でき、また耐ノイズ性や耐放射線性を良くしてメモリセルを安定化できる。また、不純物の注入が行われるソース領域及びドレイン領域が厚いので、濃度制御性を損なうことがない。

【図面の簡単な説明】

【図1】本実施例の薄膜トランジスタを示す断面図である。

【図2】その薄膜トランジスタの製造プロセスを示す工程図（断面図）である。

【図3】本発明の他の実施例を示す断面図である。

【図4】他の実施例に係る薄膜トランジスタの製造プロセスを示す工程図（断面図）である。

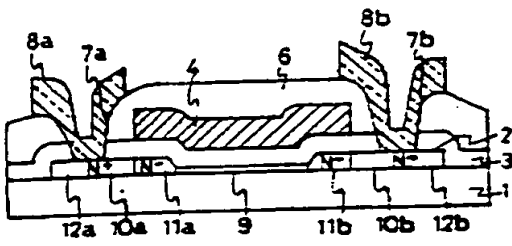
【図5】従来の薄膜トランジスタを示す断面図である。

【図6】従来の他の薄膜トランジスタを示す断面図である。

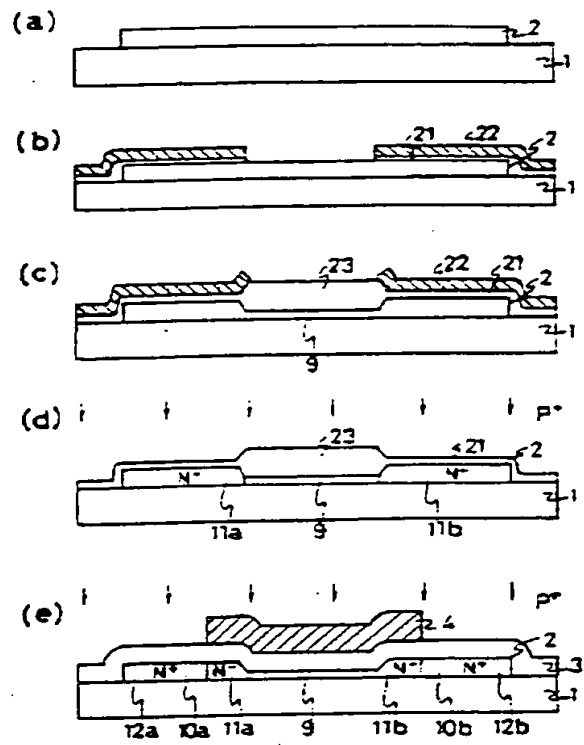
【符号の説明】

- 1 基板
- 2 半導体層
- 3 ゲート絶縁膜
- 4 ゲート電極
- 6 層間絶縁膜
- 7a、7b コンタクトホール
- 8a、8b 電極
- 9 チャネル領域
- 10a ソース領域
- 10b ドレイン領域
- 11a、11b 低濃度不純物領域
- 12a、12b 高濃度不純物領域
- 21 シリコン酸化膜
- 22 シリコン窒化膜
- 23 ポリシリコン酸化膜
- 24 レジスト

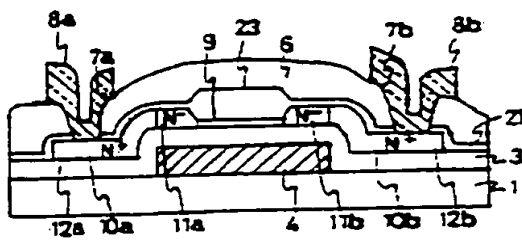
【図1】



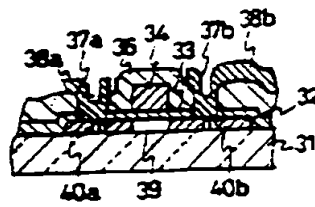
【図2】



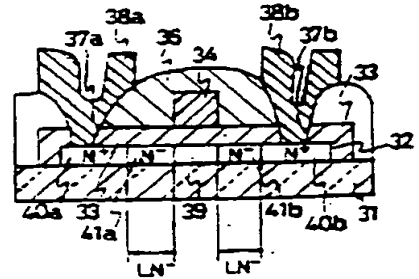
【図3】



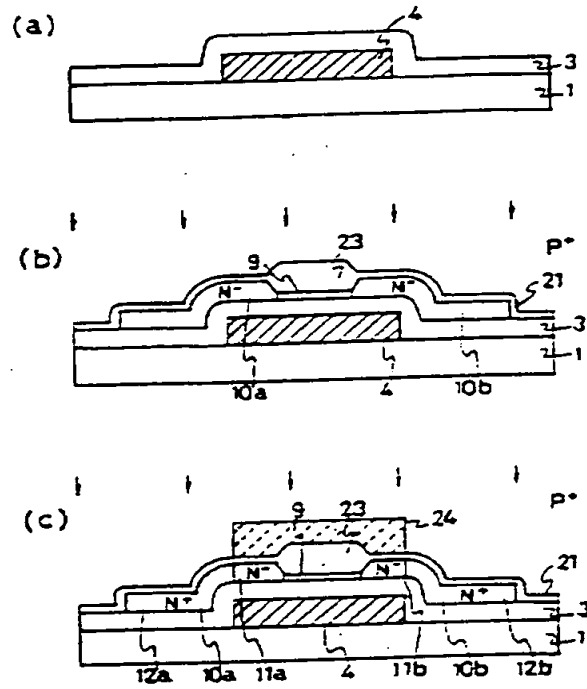
【図5】



【図6】



【図4】



Japanese Patent Laid-Open No. 5-102483

Laid-Open Date: April 23, 1993

Application No. 3-262263

Application Date: October 9, 1991

Request for Examination: Not made

Inventor: Toru Ueda

Applicant: Sharp Corp.

[Title] THIN FILM TRANSISTOR AND METHOD OF MANUFACTURING THE SAME

[Abstract] (Amended)

[Object] In a thin film transistor, ON/OFF current ratio is raised by reducing the OFF-state current, without losing the controllability of impurity density at the portion the impurities are implanted and without decrease of the ON-state current.

[Configuration] The portion of channel region 9 of a semiconductor layer 2 is oxidized to make thickness of the source region 10a and the drain region 10b greater than that of the channel region. Therefore, the controllability of impurity density in the source region 10a and the drain region 10b, into which the impurities are implanted, is not lost. If the semiconductor layer 2 has been formed thick beforehand, it will have excellent crystalline characteristics. Since the channel

region 9 is thinned by oxidization, the crystalline characteristics of the entire semiconductor layer 2 are not deteriorated, and the ON-state current increases. Since the source region 10a and the drain region 10b remain thick, the resistance of those regions becomes sufficiently low, and thereby, the ON-state current is hardly lowered. Since the thickness of the channel region is thinned, OFF-state current is reduced. Moreover, by applying an LDD structure to the semiconductor layer, the OFF-state current can be further reduced. Accordingly, a higher ON/OFF current ratio is obtained.

[Claims]

[Claim 1] A thin film transistor having a multi-layered structure formed of a semiconductor layer, a gate insulating film and a gate electrode, in this or the opposite order on an insulating substrate, wherein the semiconductor layer is further divided into three zonal sections of a channel region in its center portion, a source region on one side and a drain region on the other side,

wherein the source region and the drain region of the semiconductor layer have greater thickness than that of the channel region, and each of the source region and the drain region has two regions of a lower impurity density region on a side adjacent to the channel region and a higher impurity density region on the other side.

[Claim 2] A method of manufacturing a thin film transistor having a multi-layered structure formed of a semiconductor layer, a gate insulating film and a gate electrode, in this or the opposite order on an insulating substrate, wherein the semiconductor layer is further divided into three zonal sections of a channel region in its center portion, a source region on one side and a drain region on the other side, said method comprising the steps of:

forming a semiconductor layer;

oxidizing selectively only the channel region of the formed semiconductor layer;

implanting impurities of low density, using the oxidized film formed on the channel region as a mask, to form a source region on one side of the channel region in the semiconductor layer and a drain region on the other side thereof; and

implanting impurities of high density outside the low impurity density regions to form high impurity density regions, with leaving the respective sides adjacent to the channel region of the source region and the drain region untouched as the low impurity density regions.

[Detailed description of the invention]

[0001]

[Field of the invention]

The present invention relates to a thin film transistor (hereinafter referred to as TFT), which is used as a switching element for a liquid crystal display device or a load element in a memory cell of a static RAM (SRAM) or the like, and to a method of manufacturing the same.

[0002]

[Background art]

As TFT mentioned above, TFT shown in Figs. 5 and 6 is known. In TFT shown in Fig. 5, a semiconductor layer 32 made up of poly-silicon is formed on an insulating substrate 31. This semiconductor layer 32 is divided into three zonal sections, which are an N⁺ source region and an N⁺ drain region 40a and 40b disposed on both sides thereof, and a channel region 39 disposed between them. On the entire upper surface of the semiconductor layer 32 formed on the substrate 31, a gate insulating film 33 is formed except two places provided with contact holes 37a and 37b, and a gate electrode 34 is further formed on the gate insulating film 33 at the part above the channel region 39.

[0003]

On the substrate 31 of this configuration, an interlayer insulating film 36 is formed, except on the contact holes 37a and 37b. The contact holes 37a and 37b are passing through the interlayer insulating film 36 and the gate insulating film 33. On the interlayer insulating film 36, electrodes 38a and 38b

are formed over certain areas, with filling up partially the contact holes 37a and 37b.

[0004]

On the other hand, in TFT shown in Fig. 6, the structure similar to that in Fig. 5 is formed except the semiconductor layer 32. The semiconductor layer 32 is differently configured as follows: Between the channel region 39, which is formed on the center portion facing the gate electrode 34 of the semiconductor layer 32, and the N^+ source region 40a disposed on an end to the left hand, an N^- low density source region 41a having an impurity density lower than that of the source region 40a is formed; while, between the channel region 39 and the N^+ drain region 40b disposed on an end to the right hand, an N^- low density drain region 41b having an impurity density lower than that of the drain region 40b is formed. Such a structure is called LDD structure.

[0005]

And now, TFT is required to have a characteristic that lower leak current (OFF-state current) and higher ON-state current, i.e., a higher ON/OFF current ratio is required.

[0006]

The reason is that: in case used for a liquid crystal display device, the higher ON-state current is required for giving an electric charge to the pixel electrode in a shorter time period, and the lower OFF-state current is required for

holding the given charge for a period of one frame. Further in case used for SRAM, the lower OFF-state current is required for reducing the current consumption and the higher ON-state current is required for stabilizing the memory cell by improving its noise-resistant or radiation-resistant characteristics.

[0007]

The following technique for raising ON/OFF current ratio has been conventionally utilized. In case of, e.g., poly-silicon TFT, the increase of ON-state current has been relied on improving the crystalline characteristics, in a manner of making the crystal particle size larger or the like. The reduction of OFF-state current, on the other hand, has been relied on forming a thin channel region 39, in a manner of making the semiconductor layer 32 of Fig. 5 thinner, or on employing the LDD structure in the semiconductor layer 32 as in Fig. 6.

[0008]

[Problems to be solved by the invention]

However, in case the methods of making the semiconductor layer thinner or of employing the LDD structure are utilized as above, it has caused a problem that the reduction of ON-state current was resulted, and thereby it was impossible to obtain a sufficiently high ON/OFF current ratio.

[0009]

Namely, in the former case relying on making the semiconductor layer thinner, since the greater crystal particle

size could not be expected too much because of the thinner semiconductor layer, it was insufficient to achieve the improvement of crystalline characteristics and to obtain the increase of ON-state current. In addition to that, since the thickness of source region and drain region was also made thinner and it caused higher electrical resistance in those regions, the ON-state current of TFT was restricted by the resistance in the source and drain regions, and it resulted a lower ON-state current.

[0010]

On the other hand, in the latter case relying on LDD structure, in order to reduce OFF-state current, it has been required to lower the impurity density in the N^- low density source region 41a and the N^- low density drain region 41b, or to lengthen the length (L_{N^-}) of those regions 41a and 41b. In those cases, however, although OFF-state current could be reduced, ON-state current was also reduced and it was impossible to obtain a sufficiently high ON/OFF current ratio.

[0011]

Furthermore, in case the semiconductor layer was made thinner in addition to LDD structure, it caused another problem that the density controllability of the low density source and drain regions 41a and 41b, which governs TFT characteristics, was deteriorated. The reason is that, in the diffusion by ion implantation, the variance of ion implantation range (R_p)

exceeds the thickness of the semiconductor layer, into which the ion is implanted, and it leads to the deterioration of the density controllability.

[0012]

The present invention has been made from the viewpoint of solving those problems in conventional art, and accordingly, an object of the present invention is to provide a TFT and the method of manufacturing the same, in which ON/OFF current ratio can be improved by reducing the OFF-state current, without losing the controllability of impurity density at the portion the impurities are implanted and without lowering the ON-state current.

[0013]

[Means for solving the problems]

A TFT, according to the present invention, having a multi-layered structure formed of a semiconductor layer, a gate insulating film and a gate electrode, in this or the opposite order on an insulating substrate, wherein said semiconductor layer is further divided into three zonal sections of a channel region in its center portion, a source region on one side and a drain region on the other side, has the features that: the source region and the drain region of the semiconductor layer have greater thickness than that of the channel region, and each of the source region and the drain region has two regions of a lower impurity density region on one side adjacent to the

channel region and a higher impurity density region on the other side. The above-stated object can be achieved by the features.

[0014]

Further, a method of manufacturing a TFT, according to the present invention, having a multi-layered structure formed of a semiconductor layer, a gate insulating film and a gate electrode, in this or the opposite order on an insulating substrate, wherein the semiconductor layer is further divided into three zonal sections of a channel region in its center portion, a source region on one side and a drain region on the other side, comprises the steps of: forming a semiconductor layer; oxidizing selectively only the channel region of the formed semiconductor layer; implanting impurities of low density, using the oxidized film formed on the channel region as a mask, to form a source region on one side of the channel region in the semiconductor layer and a drain region on the other side thereof; and implanting impurities of high density outside the low impurity density regions to form high impurity density regions, with leaving the respective sides adjacent to the channel region of the source region and the drain region untouched as the low impurity density regions. The above-stated object can be achieved by this process.

[0015]

[Operation]

In the present invention, the portion corresponding to the channel region of the semiconductor layer is oxidized to make the thickness of the source and drain regions greater than that of the channel region. Therefore, since the source and drain regions, into which impurities are implanted, are thick, the density controllability is not lost. Further, if the semiconductor layer has been formed thick beforehand, the semiconductor layer will have excellent crystalline characteristics. Furthermore, since the channel region is thinned by oxidization, the crystalline characteristics of the entire semiconductor layer are not deteriorated, and the ON-state current of the semiconductor layer increases. Moreover, since the source and drain regions remain thick, the resistance of those regions becomes sufficiently low, and thereby, the ON-state current is hardly lowered.

[0016]

On the other hand, since the thickness of the channel region is thinned, OFF-state current is reduced. Moreover, by applying an LDD structure to the semiconductor layer, the OFF-state current can be further reduced. Accordingly, a higher ON/OFF current ratio is obtained.

[0017]

[Embodiments]

Hereinafter, embodiments of the present invention will be described.

[0018]

(Embodiment 1)

A TFT according to this embodiment is shown in Fig. 1. In this TFT, a semiconductor layer 2 made up of poly-silicon is formed on an insulating substrate 1. The semiconductor layer 2 has zonal regions, which are divided into three sections, the three sections being a thick source region 10a on one side, a thick drain region 10b on the other side, and a thin channel region 9 between those regions. Each of the source region 10a and the drain region 10b is further divided into two zonal regions of lower impurity density regions 11a, 11b on the sides adjacent to the channel region 9, and higher impurity density regions 12a, 12b on the outer sides, respectively.

[0019]

Above the substrate 1, on which the semiconductor layer 2 is formed, a gate insulating film 3 is formed, entirely except two places provided with contact holes 7a and 7b, and a gate electrode 4 is further formed on the gate insulating film 3 over a broader area than the part corresponding to the channel region 9.

[0020]

On the substrate 1 of this configuration, an interlayer insulating film 6 is formed, except on said contact holes 7a and 7b. The contact holes 7a and 7b are passing through the interlayer insulating film 6 and the gate insulating film 3.

On the interlayer insulating film 6, electrodes 8a and 8b are formed over certain areas, with filling up partially the contact holes 7a and 7b.

[0021]

Next, a method of manufacturing TFT having such a structure will be described based on Fig. 2. Firstly, as shown in Fig. 2(a), a semiconductor layer 2 made up of poly-silicon was formed on an insulating substrate 1. As the insulating substrate 1, e.g., a quartz substrate, a Si substrate coated with an insulating film, SiO_2 , Si_3O_4 , etc., was used. The semiconductor layer 2 on the substrate 1 was formed, e.g., by using Si_2H_6 (disilane) with N_2 added as the raw material gas, depositing an amorphous silicon of 1000 angstrom, with using the low pressure CVD method at a temperature of 470°C and a pressure of 50 Pa, and then heat-treating to produce a polycrystalline structure. The heat treatment was conducted, e.g., by annealing in a heat treatment furnace at a temperature of 600°C and under an atmosphere of N_2 for 24 hours. Secondly, the polycrystalline semiconductor layer 2 is processed to form an insular pattern, using a common technique. In connection with these processes, the formation of the amorphous silicon may be conducted by a plasma CVD method or a sputtering method. Further, the poly-crystallization may be carried out by a laser annealing method. Besides, the semiconductor layer 2 is preferably formed as thick as possible, for the greater the thickness of amorphous

silicon is, the more the crystalline characteristics would be improved.

[0022]

Then, as shown in Fig. 2(b), a silicon dioxide (SiO_2) film 21 and a silicon nitride (Si_3N_4) film 22 were formed on the substrate 1, on which the semiconductor layer 2 has been formed, in this order from the substrate side. Each of the silicon dioxide (SiO_2) film 21 and the silicon nitride (Si_3N_4) film 22 was deposited, e.g., by the low pressure CVD method, to the thickness of 210 angstrom and 400 angstrom, respectively.

[0023]

Then, with respect to only upper silicon nitride film 22, said part the channel region 9 to be formed was removed by etching, and was exposed to dry O_2 (oxygen) of 950 °C, to oxidize the channel region, and the part of the semiconductor layer 2 not covered with silicon nitride film 22 is made thinner to form the channel region 9, as shown in Fig. 2(c). And then, a thick poly-silicon oxide film 23 was formed above the channel region 9. Thus formed poly-silicon oxide film 23 has a thickness of 1600 angstrom, while remaining silicon oxide film 21 has a thickness of 200 angstrom. In this oxidizing process, a thin channel region 9 can be formed by the mechanism that the oxidization is suppressed by the silicon nitride film 22 but is allowed to progress at only part of the semiconductor layer 2 not covered by the silicon nitride film 22.

[0024]

After that, only silicon nitride film 22 was removed, e.g., by a hot phosphoric acid, as shown in Fig. 2(d), and the ion implantation of, e.g., phosphorus (P^+) was performed to the semiconductor layer 2, with using the poly-silicon oxide film 23 formed on the channel region 9 as a mask. The conditions of ion implantation were, e.g., a voltage of 40 keV and an ion implantation density of $2 \times 10^{13} \text{ cm}^{-2}$. The parts of the semiconductor layer 2 where the ion was implanted form the source region 10a and the drain region 10b.

[0025]

Then, as shown in Fig. 2(e), the silicon oxide film 21 including the poly-silicon oxide film 23 was removed by etching etc., and a gate insulating film 3 made up of, e.g., SiO_2 was formed to a thickness of 1000 angstrom by the CVD method on the substrate 1. Further, on the gate insulating film 3 and at the part above the channel region 9, a gate electrode 4 made up of phosphorus-doped poly-silicon was formed to a thickness of, e.g., 4500 angstrom, with covering partially the respective parts above said source region 10a and said drain region 10b. Subsequently, with using the gate electrode 4 as a mask, the ion implantation of phosphorus (P^+) was performed to the semiconductor layer 2. The conditions of ion implantation were, e.g., a voltage of 100 keV and an ion implantation density of $1 \times 10^{15} \text{ cm}^{-2}$. By this ion implantation, high impurity density

regions 12a, 12b were formed at the respective outer parts of the source and drain regions 10a and 10b, while the parts covered by said gate electrode 4 remained to be low impurity density regions 11a, 11b. At the same time, the part between the low impurity density regions 11a, 11b remained to be the channel region 9. Here, below the gate electrode 4, there exist both low impurity density regions 11a, 11b and the channel region 9.

[0026]

Then, as shown in Fig. 1, an interlayer insulating film 6 of 6000 angstrom thick was formed over the substrate 1, e.g., by the CVD method. And a heat treatment was conducted for activating the impurities. The conditions of the heat treatment were, e.g., heating at a temperature of 950 °C for 30 minutes under the atmosphere of nitrogen. After that, contact holes 7a, 7b were opened at two places, so that those holes can pass through the interlayer insulating film 6 and the gate insulating film 3 to reach the source region 10a and the drain region 10b, respectively, and electrodes 8a, 8b were formed by filling partially the contact holes 7a, 7b with a conductive material such as Al.

[0027]

In thus configured TFT, accordingly, the part of the semiconductor layer 2 corresponding to the channel region 9 has been oxidized, and it made the thickness of the source and

drain regions 10a and 10b of the semiconductor layer 2 greater than that of the channel region 9. That is, the source and drain regions 10a and 10b, into which the impurities are implanted, are thick enough, and thereby the density controllability is not deteriorated. Further, if the semiconductor layer 2 has been formed thick beforehand, the semiconductor layer 2 will have excellent crystalline characteristics. Furthermore, since the channel region 9 is thinned by oxidization, the crystalline characteristics of the entire semiconductor layer 2 are not deteriorated, and thereby the ON-state current increases. Moreover, since the source and drain regions 10a and 10b remain thick, the resistance of those regions 10a and 10b becomes sufficiently low, and thereby the ON-state current is hardly lowered.

[0028]

On the other hand, since the thickness of the channel region 9 is thinned, OFF-state current is reduced. Moreover, by applying an LDD structure to the semiconductor layer 2, the OFF-state current can be further decreased. Accordingly, a higher ON/OFF current ratio is obtained.

[0029]

(Embodiment 2)

Another embodiment according to the present invention is shown in Fig. 3. In this embodiment, contrarily to the Embodiment 1, a semiconductor layer 2 is formed above a gate

electrode 4 with a gate insulating film 3 interposed therebetween. A method of manufacturing TFT having such a structure will be described based on Fig. 4.

[0030]

Firstly, as shown in Fig. 4(a), a gate electrode 4 made up of phosphorus-doped poly-silicon was formed at a predetermined area on an insulating substrate 1, and on the entire substrate 1 with the gate electrode 4 formed thereon, a gate insulating film 3 was formed. The gate electrode 4 was formed, e.g., by depositing phosphorus-doped poly-silicon to a thickness of 4500 angstrom, and the gate insulating film 3 was formed, e.g., by using the CVD method to deposit SiO_2 to a thickness of 1000 angstrom.

[0031]

Next, as shown in Fig. 4(b), the semiconductor layer 2 made up of poly-silicon was formed on the substrate 1. This semiconductor layer 2 was formed in a manner similar to the Embodiment 1. Namely, it was performed, e.g., by using Si_2H_6 (disilane) with N_2 added as the raw material gas, depositing an amorphous silicon of 1000 angstrom, with using the low pressure CVD method at a temperature of 470 °C and a pressure of 50 Pa, and then heat-treating to produce a polycrystalline structure. The heat treatment was conducted, e.g., by annealing in a heat treatment furnace at a temperature of 600 °C and under an atmosphere of N_2 for 24 hours. Subsequently, the

polycrystalline semiconductor layer 2 is processed to form an insular pattern, using a common technique. In connection with these processes, the formation of the amorphous silicon may be performed by a plasma CVD method or a sputtering method. Further, the poly-crystallization may be carried out by a laser annealing method.

[0032]

Then, as shown in the same figure, a part of the semiconductor layer 2 corresponding to the channel region 9 was made thinner. This process of thinning was performed in a manner similar to the Embodiment 1. Namely, on the substrate 1 with the semiconductor layer 2 formed thereon, a silicon dioxide (SiO_2) film 21 and a silicon nitride (Si_3N_4) film 22 (not shown) were formed in this order from the substrate side, and, with respect to only upper silicon nitride film, the part corresponding to the channel region 9 to be formed was removed by etching and exposed to dry O_2 (oxygen) of 950 °C, to oxidize the channel region, and the part of the semiconductor layer 2 not covered with silicon nitride film is made thinner to form the channel region 9. And then, a thick poly-silicon oxide film 23 was formed above the channel region 9.

[0033]

After that, the only upper silicon nitride film was removed by a hot phosphoric acid, and phosphorus (P^+) was implanted into the semiconductor layer 2, with using said poly-silicon

oxide film 23 as a mask, to form the source region 10a and the drain region 10b. The remaining part became the channel region 9. The conditions of ion implantation were, e.g., a voltage of 40 keV and an ion implantation density of $2 \times 10^{13} \text{ cm}^{-2}$.

[0034]

Then, as shown in Fig. 4(c), a patterned resist 24 was generated on the silicon oxide film 21 including the poly-silicon oxide film 23, and, with using the resist 24 as a mask, phosphorus (P^+) was ion-implanted into the source region 10a and the drain region 10b.

The conditions of ion implantation were, e.g., a voltage of 40 keV and an ion implantation density of $1 \times 10^{15} \text{ cm}^{-2}$. By this ion implantation, high impurity density regions 12a, 12b were formed on the respective outer parts of the source and drain regions 10a and 10b. On the parts covered by the resist 24 of the source and drain regions, the low impurity density regions 11a and 11b remained. At the same time, on the part between the low impurity density regions 11a and 11b, the channel region 9 remained. Here, above the gate electrode 4, the patterned resist 24 was generated to remain both low impurity density regions 11a, 11b and the channel region 9.

[0035]

Then, as shown in Fig. 3, after removing the resist 24, an interlayer insulating film 6 was formed on the substrate 1. And a heat treatment was conducted for activating the

impurities. The conditions of the heat treatment were, e.g., heating at a temperature of 950 °C for 30 minutes under the atmosphere of nitrogen. After that, contact holes 7a, 7b were opened at two places, so that those holes can pass through the interlayer insulating film 6 to reach the source region 10a and the drain region 10b, respectively, and electrodes 8a, 8b were formed by filling up partially the contact holes 7a, 7b with a conductive material such as Al.

[0036]

Also in this TFT, accordingly, the density controllability is not deteriorated, and a higher ON/OFF current ratio can be obtained, as before.

[0037]

[Effect of the invention]

According to the present invention, as described in detail heretofore, a higher ON/OFF current ratio can be obtained, and thereby. When it is applied to a liquid crystal display device, it enables the pixel electrode to be charged in a shorter time period, and the given charge to be fully held for a period of one frame. Further in case used for SRAM, the current consumption can be reduced, and thereby its noise-resistant or radiation-resistant characteristics can be improved, realizing the stabilization of the memory cell. Moreover, the source and drain regions, to which impurities are implanted, are thick

enough, and thereby the density controllability is not deteriorated.

[Brief description of drawings]

[Fig. 1] is a sectional view of an embodiment of TFT according to the present invention.

[Fig. 2] is a diagram (sectional views) showing the steps of manufacturing process for the same TFT.

[Fig. 3] is a sectional view of another embodiment of TFT according to the present invention.

[Fig. 4] is a diagram (sectional views) showing the steps of manufacturing process for the another embodiment of TFT.

[Fig. 5] is a sectional view of a conventional TFT.

[Fig. 6] is a sectional view of another conventional TFT.

[Explanation of symbols]

- 1 -- substrate
- 2 -- semiconductor layer
- 3 -- gate insulating film
- 4 -- gate electrode
- 6 -- interlayer insulating film
- 7a, 7b -- contact hole
- 8a, 8b -- electrode
- 9 -- channel region
- 10a -- source region
- 10b -- drain region

11a, 11b -- low impurity density region
12a, 12b -- high impurity density region
21 -- silicon oxide film
22 -- silicon nitride film
23 -- poly-silicon oxide film
24 -- resist